

8) коэффициент объединения по входу $K_{об}$, показывающий, какое число аналогичных логических ИМС можно подключить к входу данной схемы и определяющий максимальное число входов логической ИМС;

9) коэффициент разветвления по выходу $K_{разв}$, показывающий, какое количество аналогичных нагрузочных микросхем можно подключить к выходу данной ИМС, и характеризующий нагрузочную способность логической ИМС.

Динамические параметры логических ИМС можно проиллюстрировать с помощью временных диаграмм входного и выходного напряжений при переключении микросхемы (рис. 9.1). На временных диаграммах введены следующие обозначения: $t^{0,1}$ — время перехода из состояния логического нуля в состояние логической единицы, измеренное между уровнями 0,1 и 0,9 логического перепада сигнала; $t^{1,0}$ — время перехода из состояния логической единицы в состояние логического нуля, измеренное между уровнями 0,9 и 0,1 логического перепада сигнала; $t_{зд.р}^{1,0}$ — время задержки распространения сигнала при включении микросхемы, измеренное между уровнями 0,5 логического перепада входного и выходного сигналов; $t_{зд.р}^{0,1}$ — время задержки распространения сигнала при выключении микросхемы, измеренное между уровнями 0,5 логического перепада входного и выходного сигналов.

Среднее время задержки распространения сигнала $t_{зд.р.ср} = (t_{зд.р}^{1,0} + t_{зд.р}^{0,1})/2$.

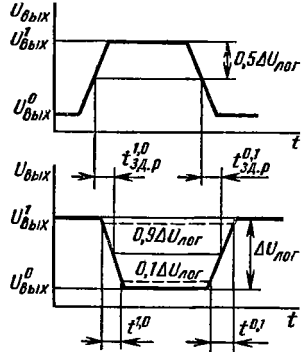


Рис. 9.1

§ 9.2. БАЗОВЫЕ ЭЛЕМЕНТЫ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ

Логические ИМС объединяют в серии. В основе каждой серии лежит базовый элемент, представляющий собой электрическую схему, выполняющую логическую операцию И — НЕ либо ИЛИ — НЕ. От параметров базового элемента в значительной степени зависят свойства и функциональные возможности разрабатываемой серии логических микросхем.

По принципу построения базовые элементы выпускаемых промышленностью логических ИМС можно выделить в следующие основные группы:

- 1) диодно-транзисторные логические элементы (ДТЛ);
- 2) транзисторно-транзисторные элементы (ТТЛ);
- 3) элементы эмиттерно-связанной логики на переключателях тока (ЭСЛ);
- 4) элементы с инжекционным питанием (I^2L),
- 5) элементы на МДП-транзисторах.

Диодно-транзисторные элементы. Базовый элемент ДТЛ (рис. 9.2) выполняет логическую операцию И — НЕ. При заперении положительным напряжением всех входных диодов управляющий транзистор, выполняющий роль инвертора, отпирается, формируя на выходе сигнал низкого уровня.

Входные диоды должны иметь очень малое прямое сопротивление. В противном случае падение напряжения на открытом входном диоде от протекания тока $I_{д} = E_{к} / (r_{пр} + R_1)$ может привести к отпираанию управляющего транзистора. Кроме того, диоды должны иметь достаточно высокое быстродействие, чтобы не влиять на быстродействие всей микросхемы.

Диоды смещения $D_{см}$ должны иметь достаточно большое пороговое напряжение отпираания для повышения помехоустойчивости схемы, а также малое прямое сопротивление для уменьшения потерь в цепи смещения после их отпираания. Для повышения нагрузочной способности элемента ДТЛ один из диодов смещения можно заменить транзистором, коллектор которого подключен к общей точке резисторов R_1' и R_1'' (рис. 9.3). Резисторы R_1' и R_1'' образуют делитель напряжения с коэффициентом деления γ . Эмиттерный переход транзистора играет роль смещающего диода. С уменьшением коэффициента деления γ возрастает ток эмиттера транзистора $T_{см}$, который является одновременно базовым током управляющего транзи-

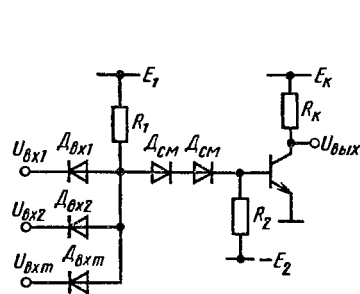


Рис. 9.2

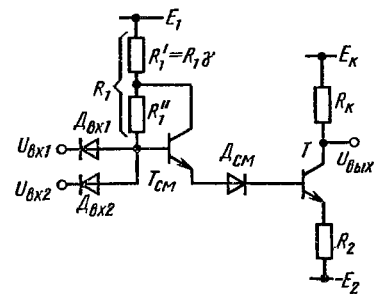


Рис. 9.3

сторы T . При этом увеличивается величина нагруженной способности схемы (коэффициент разветвления), но повышается степень насыщения транзистора T . Оптимальное значение γ составляет 0,6–0,7.

Другим способом повышения нагрузочной способности элемента ДТЛ является использование на выходе схемы так называемого сложного инвертора (рис. 9.4). Сложный инвертор представляет собой двухтактный усилитель мощности на транзисторах, работающих в ключевом режиме. Применение сложного инвертора позволяет не только повысить нагрузочную способность микросхемы, но и сохраняет ее высокую помехоустойчивость, так как эмиттерный переход транзистора T_1 выполняет роль смещающего диода.

Схема работает следующим образом. При низком уровне хотя бы одного входного сигнала транзистор T_1 закрыт. Состояние транзистора T_2 определяется состоянием транзистора T_1 : при закрытом транзисторе T_1 транзистор T_2 также будет закрыт, а составной транзистор ($T_3 - T_4$) — открыт.

Однако в элементе ДТЛ со сложным инвертором при переключении в цепи $T_2 - T_3$ возникают броски тока, создающие заметные помехи по цепи питания. Для устранения этого явления включают токоограничивающий резистор R_5 .

Транзисторно-транзисторные элементы. Простейший базовый элемент транзисторно-транзисторной логики (рис. 9.5) в принципе повторяет структуру микросхем ДТЛ-типа. В то же время за счет использования многоэмиттерного транзистора, объединяющего свойства диода и транзисторного усилителя, эта схема позволяет увеличить быстродействие, снизить потребляемую мощность и усовершенствовать технологию изготовления.

Базовый элемент ТТЛ, так же как и элемент ДТЛ, выполняет логическую операцию И — НЕ. При низком уровне сигнала (логический нуль) хотя бы на одном из входов многоэмиттерного транзистора T_1 последний находится в состоянии насыщения, а транзистор T_2 закрыт. На выходе схемы существует вы-

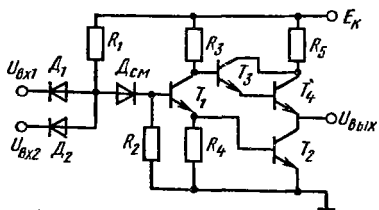


Рис. 9.4

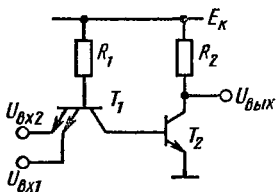


Рис. 9.5

сокой уровень напряжения (логическая единица). При высоком уровне сигнала на всех входах многоэмиттерный транзистор T_1 работает в активном инверсном режиме, а транзистор T_2 находится в состоянии насыщения. Описанный здесь базовый элемент ТТЛ-логики, несмотря на упрощенную технологию изготовления, не нашел широкого применения из-за низкой помехоустойчивости, малой нагрузочной способности и малого быстродействия при работе на емкостную нагрузку. Его целесообразно использовать лишь при разработке микросхем с открытым коллектором для реализации функции «монтажное ИЛИ», а также для включения элементов индикации, когда не требуется высокая помехоустойчивость и большая нагрузочная способность.

Дополнительными компонентами в схеме базового элемента ТТЛ (рис. 9.6) по сравнению со схемой на рис. 9.5 являются транзисторы T_3 и T_4 , образующие сложный инвертор. Диод D повышает порог отпираания транзистора T_3 , обеспечивая его закрытое состояние при открытом и насыщенном транзисторе

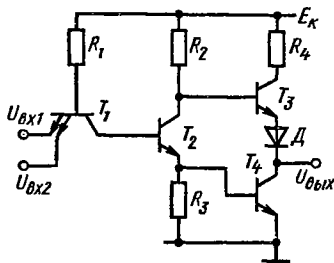


Рис. 9.6

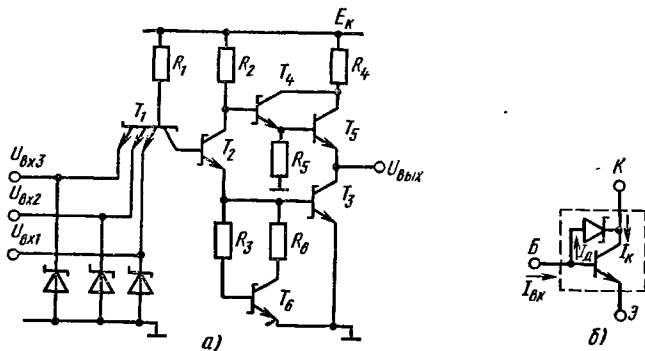


Рис. 9.7

U_4 . Повышает помехоустойчивость и нагрузочную способность схемы. Базовый элемент (рис. 9.6) является основным при разработке современных микросхем ТТЛ-логики.

Наряду с микросхемами ТТЛ-логики разработаны микросхемы типа ТТЛШ, в которых для увеличения быстродействия использованы транзисторы Шотки, работающие в активном режиме. Транзистор Шотки представляет собой обычный интегральный транзистор $n-p-n$ с нелинейной обратной связью, образованной диодом Шотки.

Базовый элемент микросхемы ТТЛШ-логики изображен на рис. 9.7, a, b и отличается от базового элемента ТТЛ-логики (рис. 9.6) наличием транзистора Шотки T_6 и резистора R_6 . Эти дополнительные компоненты схемы позволяют исключить «скальвание» переключательной характеристики, присущее элементу ТТЛ-логики и приводящее к снижению помехоустойчивости схемы. «Скальвание» переключательной характеристики в схеме, изображенной на рис. 9.6, обусловлено тем, что транзистор T_3 на участке «скальвания» остается закрытым, хотя управляющий транзистор T_2 уже открылся. Включение транзистора T_6 в схему ТТЛШ-логики позволяет существенно уменьшить ток коллектора транзистора T_2 на участке «скальвания». При этом напряжение на выходе схемы (рис. 9.7, a) остается практически постоянным до значения $U_{вх\max}^0$.

Следует отметить, что дополнительный транзистор T_6 используется при разработке микросхем ТТЛ-логики с улучшенной переключательной характеристикой.

Элементы эмиттерно-связанной логики на переключателях тока. Основу базового элемента ЭСЛ-логики составляет переключатель тока (рис. 9.8). На базу транзистора T_1 подается информационный входной сигнал, а на базу T_2 — опорное напряжение E_0 .

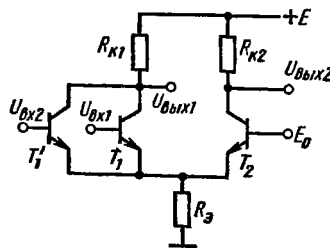


Рис. 9.8

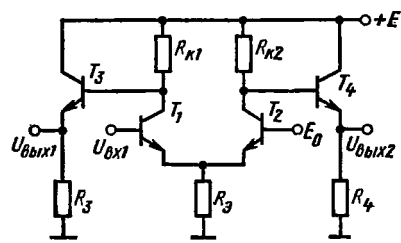


Рис. 9.9

При наличии на входе сигнала логического нуля транзистор T_1 закрыт, а транзистор T_2 открыт. Если на вход поступает сигнал логической единицы, то транзистор T_1 открывается, а T_2 закрывается. Если параллельно T_1 подключить ряд транзисторов, на базы которых поступают информационные сигналы, то при подключении нагрузки к выходу 1 элемент будет выполнять логическую операцию ИЛИ-НЕ, а при подключении нагрузки к выходу 2 — операцию ИЛИ. Базовый элемент ЭСЛ-логики изображен на рис. 9.9. Здесь в отличие от обычного переключателя тока на выходах схемы включены эмиттерные повторители. Повторители смещают уровни коллекторных потенциалов транзисторов и обеспечивают тем самым высокую нагрузочную способность базового элемента.

Схемы ЭСЛ характеризуются малым логическим перепадом $\Delta U_{\text{лог}} = 0,65 \div 0,8$ В и соответственно малой помехоустойчивостью. Использование в базовом элементе эмиттерных повторителей на транзисторах T_3 и T_4 (рис. 9.9) уменьшает выходной импеданс схемы и снижает уровень помех в линиях связи логического устройства, выполненного на схемах ЭСЛ.

В практических устройствах на базе схем ЭСЛ-типа обычно заземляют плюсовую шину источника питания. При заземлении плюсовой шины колебания напряжения источника питания не приводят к изменению логического уровня напряжения на коллекторах транзисторов T_1 и T_2 , соответствующего нулевому потенциалу.

Основным достоинством микросхем ЭСЛ-логики является их высокое быстродействие, обусловленное прежде всего работой транзисторов в активном режиме и уменьшением времени перезаряда емкостных составляющих схемы за счет малого логического перепада. В настоящее время разработаны сверхбыстродействующие микросхемы ЭСЛ-логики с частотой переключения до 500 МГц. Однако следует учитывать, что повышение быстродействия связано с увеличением потребляемой мощности.

Интегральная инжекционная логика (I^2L). Схемы I^2L , появившиеся позднее других интегральных логических элементов, не имеют аналогов среди дискретных транзисторных устройств и являются наиболее перспективной базой для создания сверхбольших интегральных схем (СБИС). Принципиальная схема типового элемента I^2L с источником сигнала и нагрузкой представлена на рис. 9.10. Рассматриваемый интегральный логический элемент состоит из транзистора T_1 типа n - p - n и генератора питающего тока, выполненного на транзисторе T_0 типа p - n - p . Источником сигнала и нагрузкой являются аналогичные элементы, выполненные на

транзисторах T_1' и T_1'' . Питание всех элементов осуществляется с помощью многоколлекторного транзистора T_0 . Резистор $R_{\text{н}}$ является внешним навесным элементом для ИМС. Его номинал подбирают в соответствии с требуемым питающим током инжектора $I_{\text{н}}$:

$$I_{\text{н}} = \frac{E - U_{\text{бэ}}}{R_{\text{н}}} \approx \frac{E - 0,6\text{В}}{R_{\text{н}}}. \quad (9.1)$$

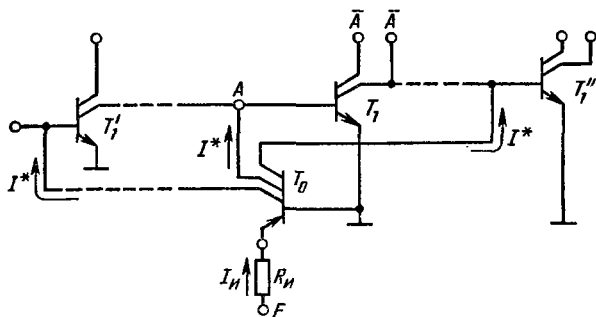


Рис. 9.10

К базе транзистора $n-p-n$ подключен источник тока $I^* = I_{\text{н}}\alpha/n_{\text{к}}$, где α — коэффициент передачи тока транзистора T_0 ; $n_{\text{к}}$ — количество коллекторов у транзистора T_0 .

При анализе схем И²Л обычно считают, что база транзистора T_1 либо замкнута на «землю» (если в предыдущем ИЛЭ транзистор T_1' насыщен), либо отключена от предыдущего ИЛЭ (если в предыдущем ИЛЭ транзистор T_1' заперт). В первом случае транзистор T_1 заперт, а ток I^* протекает через транзистор T_1' предыдущего ИЛЭ ($I_{\text{вх}}^0 = I^*$).

Напряжение на входе ИЛЭ (точка А на рис. 9.10) имеет низкий уровень U^0 . Величина U^0 равна напряжению между коллектором и эмиттером насыщенного транзистора T_1 и составляет единицы — десятки милливольт (столь малое значение U^0 характерно для обращенной структуры транзистора T_1 [13]). Во втором случае (T_1' заперт) ток I^* полностью протекает в базу транзистора T_1 и насыщает его (при этом входной ток $I_{\text{вх}}^0 \approx 0$).

Напряжение на входе ИЛЭ (точка А) имеет высокий уровень U^1 , значение которого равно падению напряжения на открытом эмиттерном переходе транзистора T_1 и составляет 0,6–0,8 В.

Обычно *p-n-p*-транзистор T_0 имеет так называемую горизонтальную структуру и невысокий коэффициент усиления тока ($\alpha = 0,2 \div 0,3$). Однако в некоторых новых разработках транзистор T_0 выполнен с вертикальной структурой, благодаря чему величина α увеличена до 0,8.

Транзистор T_1 имеет вертикальную обращенную структуру. Значения нормального коэффициента усиления тока β составляют 2–20 [22].

Типовой элемент И²Л представляет собой многовыходной инвертор (рис. 9.10, выходы А). Путем соединения выходов различных инверторов можно реализовать логическую функцию И. Поскольку в схемах И²Л эта функция выполняется монтажным соединением выходов, она называется «монтажное И». Так как логический базис И – НЕ является функционально полным, то, используя элементы И²Л с монтажным соединением выходов, можно реализовать любую логическую функцию. Приближенные соотношения для определения основных параметров элемента И²Л даны в табл. 9.1 [12, 22].

Таблица 9.1

<p>Логические уровни</p>	$U^0 \approx \varphi_T \ln [S_1 / (S_1 - 1)], \quad (9.2a)$ <p>где S_1 – степень насыщения <i>n-p-n</i>-транзистора;</p> $U^1 = U^*, \quad (9.2b)$ <p>где $U^* = U_{бэ1}$ – напряжение на прямосмещенном переходе база – эмиттер <i>n-p-n</i>-транзистора.</p>
<p>Помехоустойчивость</p>	$U_{\text{пом.ст}}^0 = U^* - U^0, \quad (9.3a)$ $U_{\text{пом.ст}}^1 = \varphi_T \ln S_1, \quad (9.3b)$ $I_{\text{пом.ст}}^1 = \alpha I_{\text{и}} \left(1 - \frac{1}{S_1} \right). \quad (9.3b)$

Входные токи	$I_{\text{вх}}^0 = \frac{\alpha I_{\text{и}}}{n_{\text{и}}}, \quad (9.4a)$ <p>где α — коэффициент передачи тока p-n-p-транзистора, $n_{\text{и}}$ — количество коллекторов p-n-p-транзистора;</p> $I_{\text{вх}}^1 \approx 0. \quad (9.4b)$
Коэффициент разветвления	$K_{\text{разв}}^0 \leq \beta_{\text{min}}/S_{\text{min}}, \quad (9.5a)$ $K_{\text{разв}}^1 \approx \infty. \quad (9.5b)$
Потребляемая мощность	$P = EI_{\text{и}}. \quad (9.6)$
Задержки переключения	$t_{\text{зд}}^{0,1} \approx \frac{C_{\text{п}} U^* n_{\text{и}}}{\alpha I_{\text{и}}}, \quad (9.7a)$ $t_{\text{зд}}^{1,0} \approx \tau_{\text{в}}, \quad (9.7b)$ $t_{\text{зд.р.ср}} = 0,5 (t_{\text{зд}}^{1,0} + t_{\text{зд}}^{0,1}). \quad (9.7b)$

Чтобы получить на выходе низкое значение потенциала $U_{\text{вых}} = U^0$, требуется обеспечить выполнение условия насыщения транзистора T_1 :

$$S_1 = \frac{\beta I_{\text{бн1}}}{I_{\text{кн1}}} \geq S_{\text{min}}, \quad (9.8)$$

где S — степень насыщения. Коллекторный ток $I_{\text{кн1}}$ поступает от нагрузки (аналогичных элементов И²Л) и равен $I_{\text{кн1}} = I_{\text{и}}^0$. Если в качестве нагрузки используется n аналогичных элементов, то $I_{\text{и}}^0 = n I_{\text{вх}}^0$.

Характерной особенностью элементов И²Л является низкое значение помехоустойчивости $U_{\text{пом.ст}}^1$, которое, согласно формуле (9.3б), определяется степенью насыщения транзистора T_1 ти-

па *n-p-n*. В схемах И²Л помехоустойчивость для отрицательных помех составляет $U_{\text{пом.ст}}^1 \approx 20 \div 50$ мВ.

Величина $U_{\text{пом.ст}}^1$ характеризует помехоустойчивость ИЛЭ в том случае, когда на его вход подаются сигналы от источника с низким выходным сопротивлением (например, от внешних схем). Если ИЛЭ нагружены друг на друга, то это условие выполняется при логическом нуле на входе, так как выходное сопротивление предыдущего открытого ИЛЭ малó. Однако при логической единице на входе предыдущий ИЛЭ выключен и его выходное сопротивление велико. В этом случае помехоустойчивость следует характеризовать допустимым значением тока помехи $I_{\text{пом.ст}}^1$ [см. формулу (9.3в)] [22]. Помехоустойчивость по току пропорциональна току инжектора и увеличивается с ростом степени насыщения S_1 .

Так как в схемах И²Л входной ток $I_{\text{вх}}^1 \approx 0$, то коэффициент разветвления при высоком уровне напряжения на выходе $K_{\text{разв}}^1 \approx \infty$. Коэффициент разветвления при низком уровне напряжения на выходе определяется выражением (9.5а). Полагая $S_{\text{min}} = 1,5 \div 2$, при $\beta_{\text{min}} = 1,5 \div 2$ получаем $K_{\text{разв}}^0 = 1$. Это означает, что при $\beta_{\text{min}} = 1,5 \div 2$ возможно подключение только одной нагрузки к единственному коллектору транзистора *n-p-n*. Увеличение числа нагрузок хотя бы на единицу недопустимо, поскольку это может привести к выходу транзистора *n-p-n* из режима насыщения и неприемлемому увеличению напряжения логического нуля U^0 . Однако ИЛЭ с одноколлекторным транзистором *n-p-n* обладает значительно меньшими функциональными возможностями по сравнению с ИЛЭ на основе многоколлекторного транзистора *n-p-n*, к каждому из коллекторов которого подключается нагрузочный ИЛЭ (в этом случае $K_{\text{разв}}^0$ равен количеству коллекторов n_k многоколлекторного транзистора). Если увеличить β_{min} путем усовершенствования технологии, то можно обеспечить режим насыщения многоколлекторного транзистора *n-p-n* и нормальную работу ИЛЭ с несколькими нагрузками. Так, например, в последних разработках И²Л-ИМС число коллекторов транзистора *n-p-n* увеличено до пяти (при этом для обеспечения режима насыщения транзистора *n-p-n* значение β_{min} увеличено в пять раз по сравнению с одноколлекторным вариантом).

Быстродействие элемента И²Л определяется временем заряда паразитной емкости $C_{\text{п}}$ и временем рассасывания неосновных носителей заряда в базе транзистора T_1 [см. выражения (9.7)].

Величина $C_{\text{п}}$ определяется выражением

$$C_{\text{п}} = (m + 1)C_{\text{к}} + C_3 + C_{\text{м}}, \quad (9.9)$$

где m — число объединяемых на входе элементов И²Л;
 C_m — емкость металлических соединений.

Время рассасывания равно постоянной времени τ_β .

Для типового элемента И²Л величины

$$C_n \approx 1 \text{ пФ}, \tau_\beta = 10 \div 50 \text{ нс.}$$

Работа переключения определяется выражением

$$A_n = Pt_{\text{зд. пр.}} \quad (9.10)$$

При малых значениях P ($\leq 0,01$ мВт) величина $A_n = 2 \div 3$ пДж; при повышении P величина A_n возрастает.

Главным преимуществом И²Л-элементов перед другими ИЛЭ на биполярных транзисторах является малая работа переключения A_n , которая уменьшается по мере совершенствования технологии, обеспечивающей снижение емкости C_n путем уменьшения площадей p - n -переходов и металлических соединений. Недостатками И²Л элементов являются низкие значения помехоустойчивости и коэффициента разветвления.

Базовые элементы интегральных логических схем на МДП-транзисторах. Ниже рассмотрены две основные разновидности интегральных логических схем на МДП-транзисторах.

Логические схемы на однотипных МДП-транзисторах.

В этих схемах используется только один тип транзисторов — либо p -канальные, либо n -канальные. Более широкое применение находят n -канальные МДП-транзисторы, которые обеспечивают большее быстродействие. Типовые схемы элементов ИЛИ — НЕ и И — НЕ на n -канальных МДП-транзисторах приведены на рис. 9.11, а, б. Транзисторы T_{a1} и T_{a2} — активные (управляющие), транзистор T_n — нагрузочный.

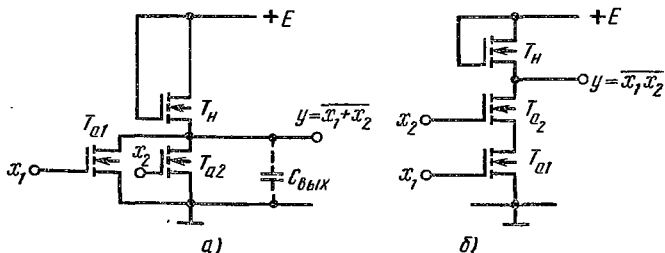


Рис. 9.11

Передаточная характеристика элемента ИЛИ-НЕ представлена на рис. 9.12, выходные вольт-амперные характеристики — на рис. 9.13. При низком уровне напряжения на затворах активных транзисторов T_{a1} и T_{a2} ($U_{вх} < U_0$, где U_0 — пороговое напряжение) эти транзисторы будут закрыты и ток стока равен нулю. На выходе устанавливается высокий потенциал $U_{вых}^1 = E - U_0$ — уровень логической единицы. При входном напряжении на затворах транзисторов T_{a1} или T_{a2} больше порогового напряжения U_0 соответствующий транзистор открывается и начинает протекать ток стока. Дальнейшее увеличение $U_{вх}$ приводит к уменьшению напряжения $U_{вых}$. Для получения малого значения уровня логического нуля необходимо, чтобы сопротивление канала открытого транзистора T_{a1} (или T_{a2}) было гораздо меньше сопротивления канала транзистора T_n . В частности, необходимо, чтобы транзистор T_{a1} , так же как и транзистор T_{a2} , работал в крутой области вольт-амперных характеристик, а транзистор T_n — в пологой области:

$$I_{ca} = b_a \left[(U_{зи} - U_0) U_{сиа} - \frac{1}{2} U_{сиа}^2 \right], \quad (9.11)$$

$$I_{cn} = \frac{b_n}{2} (U_{зин} - U_0)^2, \quad (9.12)$$

где b_a и b_n — удельные крутизны активного и нагрузочного транзисторов.

С целью упрощения расчетов пороговые напряжения транзисторов будем считать одинаковыми и равными U_0 (в более точных расчетах необходимо учитывать зависимость U_0 от значения напряжения между истоком и подложкой, которая неодинакова для различных транзисторов интегральной схемы). Аналитические выражения для расчета основных параметров

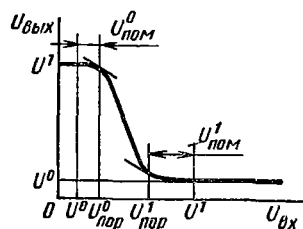


Рис. 9.12

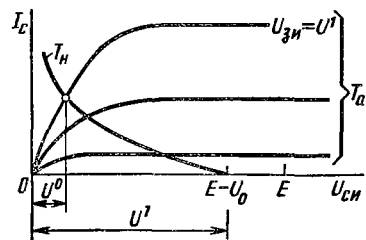


Рис. 9.13

интегральных логических схем на однотипных МДП-транзисторах приведены в табл. 9.2 [13].

Для получения малых значений выходного напряжения логического нуля значения удельных крутизн b_a и b_n транзисторов T_a и T_n должны существенно различаться: управляющие транзисторы должны иметь широкий и короткий канал (большое отношение w/L), а нагрузочные — узкий и длинный канал (малое отношение w/L).

Входные токи в МДП-транзисторах практически отсутствуют, поэтому коэффициент разветвления по выходу n может быть очень большим. На практике число нагрузок n для логических схем на МДП-транзисторах ограничивается снижением

Таблица 9.2

Логические уровни	$U_{\text{вых}}^1 = E - U_0, \quad (9.13)$ $U_{\text{вых «ИЛИ»}^0} = \frac{b_n (E - U_0)^2}{2b_a M (E - 2U_0)}$ <p style="text-align: center;">для схемы ИЛИ — НЕ. (9.14а)*</p> $U_{\text{вых «И»}^0} = M \frac{b_n (E - U_0)^2}{2b_a (E - 2U_0)}$ <p style="text-align: center;">для схемы И — НЕ. (9.14б)</p>
Порог переключения	$U_{\text{пор}}^0 = U_0, \quad (9.15)$ $U_{\text{пор}}^1 = U_0 + \Delta U. \quad (9.16)**$
Помехоустойчивость	$U_{\text{пом}}^0 = U_0 + \Delta U, \quad (9.17)$ $U_{\text{пом}}^1 = E - 2U_0 - \Delta U. \quad (9.18)$
Потребляемая мощность	$P_{\text{пот}} = 0,25 b_n E (E - U_0)^2. \quad (9.19)$

Задержки переключения	$t_{з.вкл} = \frac{2EC_{\text{вых}}}{b_a (E - 2U_0)^2}, \quad (9.20)$
	$t_{з.выкл} = \frac{2,2C_{\text{вых}}}{b_n (E - U_0)^2}, \quad (9.21)$
	$t_{з.ср} = \frac{t_{з.вкл} + t_{з.выкл}}{2}. \quad (9.22)$

* Здесь M — число входов (активных транзисторов), на которые подана логическая единица.

** Величину ΔU в формулах (9.16) — (9.18), равную ширине крутого участка передаточной характеристики, можно полагать меньшей 0,3 В при $b_n/b_a < 0,1$.

быстродействия из-за увеличения емкости нагрузки C_n при увеличении n .

Динамические параметры логических схем на МДП-транзисторах определяются временами перезаряда паразитных емкостей МДП-транзистора и емкости нагрузки. Суммарная выходная емкость $C_{\text{вых}}$ включает емкости затвор — канал $C_{зка1}$ и $C_{зка2}$ и затвор — сток $C_{зса1}$ и $C_{зса2}$ транзисторов T_{a1} и T_{a2} , емкость затвор — исток $C_{зин}$ транзистора T_n , паразитную емкость C_m металлических соединений и перехода сток — подложка транзисторов T_{a1} и T_{a2} , емкость нагрузки C_n :

$$C_{\text{вых}} = M(C_{зка} + C_{зса}) + C_{зин} + C_m + C_n, \quad (9.23)$$

где M — число входов (управляющих транзисторов).

Логические схемы на комплементарных МДП-транзисторах (КМДП-транзисторах). Принципиальная схема инвертора на комплементарных МДП-транзисторах приведена на рис. 9.14, а стоковые вольт-амперные характеристики — на рис. 9.15. Если $U_{вх}$ меньше порогового напряжения U_{01} транзистора T_1 , то транзистор T_1 закрыт, а T_2 открыт. Выходное напряжение практически равно напряжению питания E (рис. 9.15, а):

$$U_{\text{вых}}^1 = E - I_{ут1} r_{к2} \approx E,$$

где $I_{ут1}$ — ток утечки между стоком и истоком закрытого транзистора T_1 ($I_{ут} \approx 1$ нА); $r_{к2}$ — сопротивление канала открытого транзистора T_2 ($r_{к2} \approx 1$ кОм).

При $U_{\text{вх}}$ выше порогового напряжения U_{01} транзистор T_1 открывается, а T_2 закрывается. Выходное напряжение при $U_{\text{вх}} \approx E$ уменьшается практически до нуля (рис. 9.15, б):

$$U_{\text{вых}}^0 = I_{\text{ут}2} r_{\text{к}1} \approx 0.$$

В обоих состояниях ключа, представленных на рис. 9.15, мощность в статическом режиме практически не потребляется, так как один из транзисторов всегда закрыт и ток, потребляемый от источника питания, определяется током утечки закрытого ключа. Малая потребляемая мощность — главное достоинство схем на КМДП-транзисторах. Это справедливо, однако, лишь для рассмотренного здесь статического режима при низких частотах переключения. В общем случае (включающем и статику, и динамику) мощность $P_{\text{пот}}$, потребляемая ключом от источника питания E , состоит из трех слагаемых:

$$P_{\text{пот}} = P_{\text{емк}} + P_{\text{скв}} + P_{\text{ут}}$$

где $P_{\text{емк}} = C_{\text{вых}} E^2 f_{\text{п}}$ — мощность, расходуемая на перезаряд выходной емкости схемы $C_{\text{вых}}$, определяемой выражением (9.23); $f_{\text{п}}$ — частота переключений схемы; $P_{\text{скв}} = I_{\text{скв}} E t_{\text{ф}} f_{\text{п}}$ — мощность, определяемая сквозным током $I_{\text{скв}}$, который протекает в те моменты времени, когда при переходе схемы из одного состояния в другое открыты оба транзистора (один уже открылся, а второй еще не закрылся); $t_{\text{ф}}$ — длительность фронта переключающего

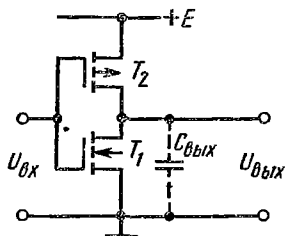


Рис. 9.14

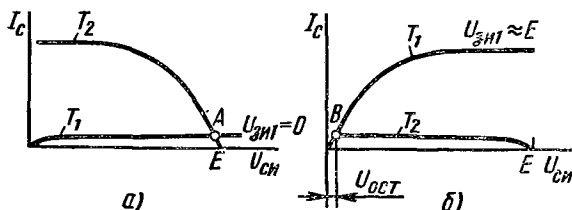


Рис. 9.15

цего импульса; $P_{\text{ут}} = I_{\text{ут}} E$ — мощность, потребляемая в статическом режиме.

При малых частотах переключения схемы на КМДП-транзисторах потребляют очень малую мощность. Однако при больших частотах переключения ($f_n > 1$ МГц) эти схемы не имеют преимуществ по сравнению с ТТЛ-схемами.

Двухвходовые логические элементы ИЛИ-НЕ и И-НЕ представлены на рис. 9.16, а, б. Общие правила построения логических элементов на КМДП-транзисторах таковы:

- 1) параллельному соединению одного типа транзисторов соответствует последовательное соединение транзисторов другого типа;
- 2) выполняемая логическая функция определяется включением транзисторов нижнего этажа;
- 3) полярность источника питания E зависит от типа канала транзисторов нижнего этажа.

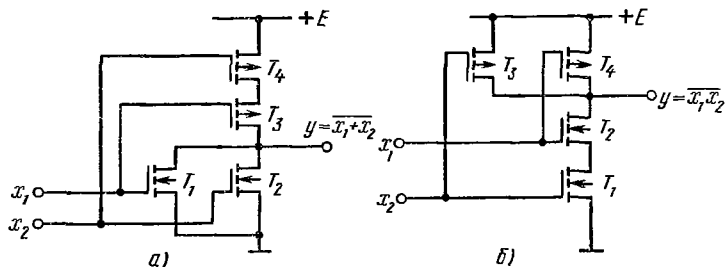


Рис. 9.16

Напряжение питания выбирают из условия $E > U_{0n} + U_{0p}$, где U_{0n} — пороговое напряжение n -канального транзистора; U_{0p} — пороговое напряжение p -канального транзистора.

Время переключения логических элементов на КМДП-транзисторах определяется временем перезаряда выходной емкости $C_{\text{вых}}$. Приближенные аналитические выражения для расчета основных параметров схем на КМДП-транзисторах приведены в табл. 9.3 [13]. Величины τ_n и τ_p , входящие в выражения (9.30)–(9.31), находят по формулам

$$\tau_n = \frac{2C_{\text{вых}}}{b_n(E - U_{0n})}, \quad (9.32)$$

$$\tau_p = \frac{2C_{\text{вых}}}{b_p(E - U_{0p})}. \quad (9.33)$$

Логические уровни	$U^1 = E, \quad (9.24)$ $U^0 = 0, \quad (9.25)$
Порог переключения	$U_{\text{пор}} = \frac{U_{0n} + \sqrt{b_p/(Mb_n)}(E - U_{0p})}{1 + \sqrt{b_p/Mb_n}}. \quad (9.26)$
Помехоустойчивость	$U_{\text{пом}}^0 = U_{\text{пор}}, \quad (9.27)$ $U_{\text{пом}}^1 = E - U_{\text{пор}}. \quad (9.28)$
Потребляемая мощность	$P_{\text{пот}} = C_{\text{вых}} E^2 f_{\text{п}} + I_{\text{скв}} E t_{\phi} f_{\text{п}} + I_{\text{ут}} E. \quad (9.29)$
Задержки переключения	$t_{\text{з.вкл}} = \frac{\tau_n (E - U_{\text{пор}})}{M (E - U_{0n})}, \quad (9.30)$ $t_{\text{з.выкл}} = \frac{\tau_p U_{\text{пор}}}{M (E - U_{0p})}. \quad (9.31)$

Индексы n и p в табл. 9.3 относятся соответственно к n -канальному и p -канальному транзисторам.

ПРИМЕРЫ И ЗАДАЧИ

9.1. Определить мощность, потребляемую базовой ДТЛ-схемой (см. рис. 9.2): а) в режиме логического нуля, б) в режиме логической единицы на выходе схемы. Сравнить полученные результаты. Параметры схемы: $E_1 = E_k \approx 5$ В, $E_2 = -0,5$ В. Па-