

Логические уровни	$U^1 = E, \quad (9.24)$ $U^0 = 0, \quad (9.25)$
Порог переключения	$U_{\text{пор}} = \frac{U_{0n} + \sqrt{b_p/(Mb_n)}(E - U_{0p})}{1 + \sqrt{b_p/Mb_n}}. \quad (9.26)$
Помехоустойчивость	$U_{\text{пом}}^0 = U_{\text{пор}}, \quad (9.27)$ $U_{\text{пом}}^1 = E - U_{\text{пор}}. \quad (9.28)$
Потребляемая мощность	$P_{\text{пот}} = C_{\text{вых}} E^2 f_{\text{п}} + I_{\text{скв}} E t_{\text{ф}} f_{\text{п}} + I_{\text{ут}} E. \quad (9.29)$
Задержки переключения	$t_{\text{з.вкл}} = \frac{\tau_n (E - U_{\text{пор}})}{M (E - U_{0n})}, \quad (9.30)$ $t_{\text{з.выкл}} = \frac{\tau_p U_{\text{пор}}}{M (E - U_{0p})}. \quad (9.31)$

Индексы n и p в табл. 9.3 относятся соответственно к n -канальному и p -канальному транзисторам.

ПРИМЕРЫ И ЗАДАЧИ

9.1. Определить мощность, потребляемую базовой ДТЛ-схемой (см. рис. 9.2): а) в режиме логического нуля, б) в режиме логической единицы на выходе схемы. Сравнить полученные результаты. Параметры схемы: $E_1 = E_k \approx 5$ В, $E_2 = -0,5$ В. Па-

дения напряжения на диодах смещения $U_{д.см} = 0,9$ В, на входных диодах $U_{д.вх} = 0,8$ В, на базе и коллекторе открытого транзистора относительно эмиттера $U_{бн} = 0,6$ В, $U_{кн} = 0,1$ В соответственно. Сопротивления резисторов $R_k = 1$ кОм, $R_1 = 10$ кОм, $R_2 = 5$ кОм.

Решение

В режиме логического нуля на выходе схемы управляющий транзистор открыт и насыщен, а диоды D_1, D_2, \dots, D_m закрыты. Мощность, потребляемая схемой,

$$P_{\text{потр}}^0 = E_1 \frac{E_1 - 2U_{д.см} - U_{бн}}{R_1} + E_2 \frac{E_2 + U_{бн}}{R_2} + E_k \frac{E_k - U_{кн}}{R_k} \approx 26,9 \text{ мВт.}$$

В режиме логической единицы на выходе схемы транзистор закрыт, один или несколько входных диодов открыты. Мощность, потребляемая схемой,

$$P_{\text{потр}}^1 = E_1 \frac{E_1 - U_{кн} - U_{д.вх}}{R_1} = 0,86 \text{ мВт} < P_{\text{потр}}^0.$$

9.2. Определить максимальный сигнал помехи на входе схемы ДТЛ-логики (см. рис. 9.2), при котором не произойдет ложного срабатывания схемы. Исходное состояние — логическая единица на выходе. Пороговые напряжения отпираания диодов смещения $U_{\text{пор.д}} = 0,5$ В и транзистора $U_{\text{пор.т}} = 0,6$ В. Падение напряжения на открытых входных диодах $U_d = 0,3$ В.

Ответ: $U_{\text{пом.мах}} = 1,9$ В.

9.3. Доказать, что транзистор T_3 в интегральной схеме ТТЛ-типа со сложным инвертором (см. рис. 9.6) запирается при подаче на все входы многоэмиттерного транзистора T_1 высокого уровня напряжения. Принять $U_{бн} = 0,7$ В. Пороговые напряжения отпираания транзистора и диода одинаковы: $U_{\text{пор.т}} = U_{\text{пор.д}} = U_{\text{пор}} = 0,4$ В.

Решение

При подаче на все входы транзистора T_1 высокого уровня напряжения закрываются все переходы эмиттер—база транзи-

стора T_1 . Через открытый переход коллектор-база T_1 и резистор R база транзистора T_2 подключается к источнику питания, транзистор T_2 открывается и входит в режим насыщения. При этом отпирается также и транзистор T_4 , а транзистор T_3 запирается, так как сумма напряжений на эмиттерном переходе транзистора T_3 и диоде $U_{бэ3} + U_{д} = U_{кэ2} + U_{бэ4} - U_{кэ4} = U_{кн} + U_{бн} - U_{кн} = U_{бн}$ всегда меньше, чем сумма их пороговых напряжений

$$U_{\text{пор.т}} + U_{\text{пор.д}} = 2U_{\text{пор.}}$$

9.4. На одном из входов ТТЛ-схемы (см. рис. 9.6) действует сигнал логического нуля. При этом транзисторы T_2 и T_4 закрыты, а T_3 находится в активном режиме. Определить параметры схемы и транзистора T_3 , при которых данный транзистор работает в активном режиме.

Решение

Условие работы T_3 в активном режиме $I_{к3} = \beta_{3\text{max}} I_{б3}$, где $\beta_{3\text{max}}$ — максимальное значение коэффициента β_3 , при котором транзистор T_3 находится в активном режиме. Учитывая, что

$$I_{к3} = \frac{E_{к} - U_{кэ3} - U_{д} - U_{\text{вых}}^1}{R_4},$$

$$I_{б3} = \frac{E_{к} - U_{бэ3} - U_{д} - U_{\text{вых}}^1}{R_2},$$

и полагая $U_{кэ3} \approx U_{бэ3}$, условие насыщения T_3 можно записать так: $\beta_{3\text{max}} = R_2/R_4$.

Так как ток нагрузки транзистора T_3 , определяемый входным током последующих элементов, многоэмиттерные транзисторы которых работают в инверсном режиме, мал, то значение $\beta_{3\text{max}}$ не превышает 10–15.

9.5. Определить высокий уровень выходного напряжения в ТТЛ-схеме со сложным инвертором (см. рис. 9.6), если напряжения на прямосмещенных переходах открытых транзисторов и диода равны. Параметры схемы: $U_{д} = U_{бэн} = U_{кбн} = 0,7$ В, $E_{к} = 4,8$ В, $\beta_3 = 10$, $\beta_I = 0,025$, $R_1 = 4$ кОм, $R_2 = 1,6$ кОм. Нагрузкой схемы является n аналогичных ей ТТЛ-схем со сложным инвертором. Принять, что $n = 10$.

Решение

В рассматриваемом режиме схемы, когда $U_{\text{вх}} \approx 0$, транзистор T_1 находится в режиме насыщения, транзисторы T_2 и T_4 закрыты, а транзистор T_3 находится в активном режиме.

Следовательно,

$$U_{\text{вых}}^1 = E_k - U_{R_2} - U_{\text{бэз}} - U_{\text{д}}, \quad (9.34)$$

где

$$U_{R_2} = I_{\text{бз}} R_2 = I_{\text{зз}} R_2 / (1 + \beta_3) \quad (9.35)$$

— падение напряжения на резисторе R_2 от протекания базового тока транзистора T_2 .

Так как нагрузкой данной схемы является аналогичная ей ТТЛ-схема, у которой транзистор T_1 находится в активном инверсном режиме, а T_1 , T_4 — в режиме насыщения, то можно записать

$$I_{\text{зз}} = I_{\text{н}} = n I_{R_1} \beta_{I_1}. \quad (9.36)$$

$$I_{R_1} = \frac{E_k - U_{\text{бкн1}} - U_{\text{бэз2}} - U_{\text{бэз4}}}{R_1}. \quad (9.37)$$

На основании (9.37) $I_{R_1} = 0,675$ мА. Подставляя значение I_{R_1} в уравнение (9.36), найдем

$$I_{\text{зз}} = \frac{E_k - U_{\text{бкн1}} - U_{\text{бэз2}} - U_{\text{бэз4}}}{R_1} n \beta_{I_1} \approx 0,17 \text{ мА}.$$

Из (9.35) находим $U_{R_2} = 27,2$ мВ. Из (9.34) следует, что $U_{\text{вых}}^1 \approx 3,37$ В.

9.6. Определить максимальную амплитуду импульса токовой помехи по цепи питания, возникающей при переключении ТТЛ-схемы (см. рис. 9.6) из состояния 0 в состояние 1. Параметры схемы: $R_2 = 3,3$ кОм, $E_k = 5$ В, $U_{\text{бэ}} = 0,8$ В, $U_{\text{д}} = 0,7$ В, $\beta = 30$, $U_{\text{кн}} = 0,2$ В.

Решение

При переключении ТТЛ-схемы после запираания транзистора T_2 транзистор T_3 откроется раньше, чем закроется насыщенный транзистор T_4 , так как для выхода T_4 из режима насыщения потребуется некоторое время для рассасывания неосновных носителей в базе. В результате в течение некоторого промежутка времени оба транзистора T_3 и T_4 открыты и по цепи, состоящей из элементов E_k , T_3 , D и T_4 , протекает ток, значение которого определяется коллекторным током транзистора T_3 , находящегося в активном режиме:

$$I_{\text{помmax}} = I_{\text{кз}} = I_{\text{бз}} \beta + I_{\text{бз}} = I_{\text{бз}} (\beta + 1).$$

Так как базовый ток транзистора T_3

$$I_{\text{бз}} = \frac{E_k - U_{\text{кн4}} - U_{\text{д}} - U_{\text{бэз}}}{R_2} \approx 1 \text{ мА},$$

$$I_{\text{ном макс}} = \frac{E_{\text{к}} - U_{\text{бэз}} - U_{\text{д}} - U_{\text{кн4}}}{R_2} \beta = 31 \text{ мА.}$$

9.7. Определить помехоустойчивость ТТЛ-схемы (см. рис. 9.5) при действии на ее входе: а) напряжения логической единицы $U_{\text{вх}}^1 = 2,4 \text{ В}$, б) напряжения логического нуля $U_{\text{вх}}^0 = 0,4 \text{ В}$. Считать, что напряжения на прямосмещенных переходах открытых транзисторов равны $0,7 \text{ В}$, пороговое напряжение отпираания транзистора равно $0,7 \text{ В}$, напряжение коллектор – эмиттер насыщенного транзистора $U_{\text{кн}}$ равно $0,2 \text{ В}$.

Решение

В режиме логической единицы на входе транзистор T_2 в схеме (см. рис. 9.5) открыт и насыщен, а транзистор T_1 находится в активном инверсном режиме. Для определения помехоустойчивости следует найти минимальное напряжение помехи на входе, при котором напряжение база – эмиттер $U_{\text{бэ1}}$ транзистора T_1 станет равным пороговому напряжению $U_{\text{пор}} = 0,7 \text{ В}$.

Потенциал базы транзистора T_1 относительно «земли» равен сумме напряжений на открытых переходах база – коллектор транзистора T_1 и база – эмиттер транзистора T_2 , т. е. $U_{\text{б1}} = U_{\text{бк1}} + U_{\text{бэ2}} = 1,4 \text{ В}$. Тогда напряжение на закрытом переходе база – эмиттер транзистора T_1 $U_{\text{бэ1}} = -(2,4 - 1,4) = -1,0 \text{ В}$. Транзистор T_1 можно считать открытым, если на входе действует помеха с напряжением $U_{\text{п1}} = -(1,0 + 0,7) = -1,7 \text{ В}$.

В режиме логического нуля на входе транзистор T_2 закрыт, а транзистор T_1 находится в режиме насыщения. При этом напряжение на базе транзистора T_2 равно сумме входного напряжения и напряжения коллектор – эмиттер транзистора T_1 , т. е. $U_{\text{бэ2}} = U_{\text{кэн1}} + U_{\text{вх}}^0 = 0,2 + 0,4 = 0,6 \text{ В}$.

Для отпираания транзистора T_2 требуется напряжение $U_{\text{пор}} = 0,7 \text{ В}$. Следовательно, транзистор T_2 откроется при действии на входе помехи $U_{\text{п0}} = 0,7 - 0,6 = 0,1 \text{ В}$.

9.8. Определить помехоустойчивость ТТЛ-схемы со сложным инвертором (см. рис. 9.6). Сравнить полученные результаты с результатами предыдущей задачи. Исходные данные обеих задач одинаковы.

Решение

В режиме логической единицы на входе потенциал базы транзистора T_1 относительно «земли» равен сумме напряжений

на открытых переходах база-коллектор транзистора T_1 и база-эмиттер транзисторов T_2 и T_4 , т. е.

$$U_{б1} = U_{бк1} + U_{бз2} + U_{бз4} = 2,1 \text{ В.}$$

Напряжение на закрытом переходе база-эмиттер транзистора T_1 $U_{бз1} = -(2,4 - 2,1) = -0,3 \text{ В.}$

Напряжение помехи, при котором транзистор T_1 можно считать открытым, $U_{п1} = -(0,3 + 0,7) = -1,0 \text{ В.}$

В режиме логического нуля на входе напряжение на базе транзистора T_2 равно сумме входного напряжения и напряжения коллектор-эмиттер насыщенного транзистора T_1 : $U_{бз2} = U_{кэп1} + U_{вх}^0 = 0,6 \text{ В.}$

Для отпирания транзисторов T_2 и T_4 требуется двойное пороговое напряжение $2U_{пор} = 1,4 \text{ В.}$ Тогда напряжение помехи, вызывающее отпирание транзисторов T_2 и T_4 , $U_{п0} = 2U_{пор} - U_{бз2} = 1,4 - 0,6 = 0,8 \text{ В.}$

Таким образом, помехоустойчивость ТТЛ-схемы со сложным инвертором (см. рис. 9.6) по логическому нулю выше, а по логической единице ниже, чем ТТЛ-схемы без сложного инвертора (см. рис. 9.5).

9.9. На каждом из входов двухэмиттерного транзистора ТТЛ-схемы со сложным инвертором (см. рис. 9.11) действует высокий уровень напряжения. Определить входной ток $I_{вх}^1$ схемы, если падения напряжения $U_{бз}$, $U_{бк}$ на открытых переходах транзисторов равны 0,7 В. Инверсный коэффициент усиления многоэмиттерного транзистора $\beta_I = 0,01$, напряжение питания $E_k = 5 \text{ В}$, сопротивление $R_1 = 4 \text{ кОм.}$

Решение

Имеем

$$I_{вх}^1 = \frac{\beta_I I_6}{2},$$

$$I_6 = \frac{E_k - U_{кб1} - U_{бз2} - U_{бз4}}{R_1}.$$

Учитывая, что, по условию, $U_{кб} = U_{бз} = 0,7 \text{ В}$, получим $I_6 \approx 0,725 \text{ мА.}$ Следовательно, $I_{вх}^1 = \frac{0,01 \cdot 0,725}{2} = 3,6 \text{ мкА.}$

9.10. Как изменится входной ток $I_{вх}^1$ схемы (см. предыдущую задачу), если на один из входов подается низкий уровень напряжения $U_{вх}^0 = 0,2 \text{ В?}$

В рассматриваемом случае

$$I_{\text{вх}}^1 = \beta_I I_6,$$

$$I_6 = (E_K - U_{\text{бэ}} - U_{\text{вх}}^0) / R_1 = 0,975 \text{ мА}, \quad I_{\text{вх}}^1 = 0,01 \cdot 0,975 = 9,75 \text{ мкА}.$$

Таким образом, при подаче низкого уровня напряжения входной ток $I_{\text{вх}}^1$ увеличивается в 2,7 раза.

9.11. Определить мощность, потребляемую и рассеиваемую ненагруженной ТТЛ-схемой (см. рис. 9.6): а) при действии на одном из ее входов сигнала логического нуля с напряжением $U_{\text{вх}}^0 = 0,2 \text{ В}$, б) при действии на всех входах сигналов логической единицы. Принять следующие исходные данные: $E_K = 5 \text{ В}$, $R_1 = 3,6 \text{ кОм}$, $U_{\text{бэ}} = U_{\text{бк}} = 0,7 \text{ В}$, $U_{\text{кэи}} = 0,2 \text{ В}$, $R_2 = 2 \text{ кОм}$.

Решение

а) При действии на одном из входов ТТЛ-схемы сигнала логического нуля транзистор T_1 работает в режиме насыщения, транзисторы T_2 и T_4 закрыты. Поэтому токами, протекающими через резисторы R_2 и R_4 , можно пренебречь. Мощность, потребляемая схемой, $P_{\text{потр}} = E_K I_{R1}$.

Учитывая, что

$$I_{R1} = \frac{E_K - U_{\text{вх}}^0 - U_{\text{бэ1}}}{R_1} = 1,14 \text{ мА},$$

будем иметь $P_{\text{потр}} = 5,7 \text{ мВт}$.

б) При действии на всех входах ТТЛ-схемы сигналов логической единицы многоэмиттерный транзистор T_1 работает в активном инверсном режиме, транзисторы T_2 и T_4 — в режиме насыщения, а транзистор T_3 закрыт. В этом случае можно пренебречь током, протекающим через резистор R_4 . Мощность, потребляемая схемой,

$$P_{\text{потр}} = E_K (I_{R1} + I_{R2}).$$

Вычислив

$$I_{R1} = \frac{E_K - U_{\text{бк1}} - U_{\text{бэ2}} - U_{\text{бэ4}}}{R_1} = 0,8 \text{ мА},$$

$$I_{R2} = \frac{E_K - U_{\text{кэи2}} - U_{\text{бэ4}}}{R_2} = 2,05 \text{ мА},$$

получим $P_{\text{потр}} = 14,2 \text{ мВт}$.

9.12. Определить мощность, потребляемую и рассеиваемую ТТЛ-схемой (см. рис. 9.6) при действии на одном из ее входов

сигнала логической нуля с напряжением $U_{\text{вх}}^0 = 0,4$. Схема нагружена на 16 аналогичных схем, каждая из которых имеет входной ток $I_{\text{вх}}^1 = 0,63$ мА. Рассеиванием мощности на открытых переходах транзистора и диода пренебречь. Падение напряжения на открытых переходах транзисторов и диода $U_{\text{бэ}} = U_{\text{д}} = 0,7$ В. Номиналы резисторов: $R_1 = 39$ кОм, $R_2 = 2,5$ кОм, $R_4 = 500$ Ом. Напряжение питания $E_{\text{к}} = 5$ В.

Решение

Мощность, потребляемая схемой от источника питания, $P_{\text{потр}} = E_{\text{к}}(I_{R4} + I_{R1} + I_{R2})$, где I_{R1} , I_{R2} , I_{R4} — токи соответственно через резисторы R_1 , R_2 , R_4 .

Записав

$$I_{R1} = \frac{E_{\text{к}} - U_{\text{вх}}^0 - U_{\text{бэ}}}{R_1},$$

$$I_{R2} + I_{R4} = I_{\text{вых}} = 16I_{\text{вх}}^1,$$

будем иметь

$$P_{\text{потр}} = E_{\text{к}} \left(\frac{E_{\text{к}} - U_{\text{вх}}^0 - U_{\text{бэ}}}{R_1} + 16I_{\text{вх}}^1 \right) = 10 \text{ мВт.}$$

Мощность, рассеиваемая на резисторах схемы,

$$P_{\text{расR}} = \frac{(E_{\text{к}} - U_{\text{вх}}^0 - U_{\text{бэ}})^2}{R_1} + I_{\text{вых}}^2 \left[\frac{R_2}{(1 + \beta)^2} + \left(\frac{\beta}{1 + \beta} \right)^2 R_4 \right] \approx 4,4 \text{ мВт.}$$

Мощность, рассеиваемая на транзисторах схемы,

$$P_{\text{расT}} = P_{\text{потр}} - P_{\text{расR}} = 10 - 4,4 = 5,6 \text{ мВт.}$$

9.13. Определить условия, при которых режим транзистора T_4 в схеме на рис. 9.7 всегда соответствует режиму работы управляющего транзистора T_2 .

Ответ: эмиттерный ток открытого транзистора T_2 является одновременно базовым током транзистора T_4 , который при закрытых диоде D и транзисторе T_3 будет работать в режиме насыщения, если выполняются условия

$$I_{\text{бэ}4} \beta_4 = (I_{\text{э}2} - I_{R2}) \beta_4 \geq I_{\text{вых}} = nI_{\text{вх}}^0,$$

$$\left(\frac{E_{\text{к}} - U_{\text{кн}2} - U_{\text{бэ}4}}{R_1} \frac{\beta_2}{\beta_2 + 1} - \frac{U_{\text{бэ}4}}{R_3} \right) \beta_4 \geq nI_{\text{вх}}^0,$$

где n — число подключенных нагрузочных схем, имеющих

входной ток $I_{\text{вх}}^0$. При большом количестве подключенных нагрузочных схем транзистор T_4 может выйти из режима насыщения и уровень выходного напряжения изменится. Если транзистор T_2 закрыт, то транзистор T_4 также закрыт, так как его база через резистор R_3 будет подключена к нулевой шине.

9.14. Определить значения коллекторного I_k и базового I_6 токов транзистора Шотки (см. рис. 9.7, б), включенного по схеме ОЭ, если входной ток $I_{\text{вх}} = 5$ мА, напряжение питания $E_k = 5$ В, сопротивление резистора в коллекторной цепи $R_k = 1$ кОм. Коэффициент усиления по току n - p - n -транзистора $\beta = 50$, падение напряжения $U_{кэ} = 0,4$ В. Как изменится коллекторный ток транзистора Шотки, если произойдет случайный обрыв цепи источника питания E_k ?

Решение

Для транзистора Шотки, включенного по схеме ОЭ, выполняются соотношения (см. рис. 9.7, б)

$$I_k = I_d + I_{Rk},$$

$$I_{\text{вх}} = I_d + I_6.$$

Учитывая, что $I_k = \beta I_6$, $I_{Rk} = (E_k - U_{кэ})/R_k$, после несложных вычислений получим

$$I_k = 9,5 \text{ мА}, \quad I_6 \approx 0,19 \text{ мА}.$$

При обрыве цепи питания $I_k = I_d$; следовательно, $I_k = I_{\text{вх}} \beta / (1 + \beta) = 4,9$ мА.

9.15. Записать аналитические выражения для низкого и высокого уровней напряжения на выходе 1 и выходе 2 в ЭСЛ-схеме, нагруженной на n аналогичных схем: а) при заземленной минусовой шине (рис. 9.9, а), б) при заземленной плюсовой шине (рис. 9.9, б).

Решение

Расчет низких уровней на выходе схемы:

а) При заземленной минусовой шине (см. рис. 9.9, а) в режиме $U_{\text{вх}} = U_{\text{вх}}^0$ на выходе 1 имеем высокий уровень напряжения $U_{\text{вых1}}^1$ (транзистор T_1 закрыт), а на выходе 2 — низкий $U_{\text{вых2}}^0$ (рабочая точка транзистора T_2 в активной области).

Напряжение $U_{\text{вых2}}^0$ определяется разностью напряжений на коллекторе $U_{к2}$ транзистора T_2 и на открытом переходе эмиттер—база транзистора T_4 эмиттерного повторителя, т. е.

$$U_{\text{вых2}}^0 = U_{к2} - U_{6э4}. \quad (9.38)$$

В свою очередь,

$$U_{к2} = E_k - I_{Rk2} R_{к2}. \quad (9.39)$$

Ток $I_{R_{K2}}$ через резистор R_{K2} является суммой коллекторного тока I_{K2} транзистора T_2 и базового тока I_{B4} транзистора T_4 . Если последним током пренебречь (это возможно, если $R_{K2} \ll \ll (1 + \beta) R_4$), то

$$I_{R_{K2}} \approx I_{K2} = \alpha I_{32} = \alpha \frac{U_3}{R_3} = \alpha \frac{E_0 - U_{632}}{R_3}. \quad (9.40)$$

Подставляя полученные значения $I_{R_{K2}}$, U_{K2} из (9.39) и (9.40) в формулу (9.38), получим

$$U_{\text{ВЫХ}2}^0 = E - \alpha (E_0 - U_{632}) R_{K2} / R_3 - U_{634}. \quad (9.41)$$

В режиме $U_{\text{ВХ}} = U_{\text{ВХ}}^1$ транзистор T_1 открыт и его рабочая точка находится в активной области, а транзистор T_2 закрыт. Напряжение на выходе транзистора T_3 определяет низкий уровень логического нуля $U_{\text{ВЫХ}}^0$ схемы:

$$U_{\text{ВЫХ}1}^0 = U_{K1} - U_{633}, \quad (9.42)$$

где $U_{K1} = E - I_{R_{K1}} R_{K1}$ — напряжение на коллекторе открытого транзистора T_1 , $I_{R_{K1}} = \alpha I_{31} + I_{B1} \approx \alpha (U_{\text{ВХ}}^1 - U_{631}) / R_3$. Следовательно,

$$U_{\text{ВЫХ}1}^0 = E - \alpha (U_{\text{ВХ}}^1 - U_{631}) R_{K1} / R_3 - U_{633}. \quad (9.43)$$

б) При заземленной плюсовой шине (рис. 9.9, б) будем иметь

$$\bar{U}_{\text{ВЫХ}2}^0 = -E + U_{\text{ВЫХ}2}^0 = -\alpha \frac{(E_0 - U_{632}) R_{K2}}{R_3} - U_{634};$$

$$\bar{U}_{\text{ВЫХ}1}^0 = -E + U_{\text{ВЫХ}1}^0 = -\alpha \frac{U_{\text{ВХ}}^1 - U_{631}}{R_3} R_{K1} - U_{633}.$$

Расчет высоких уровней на выходах схемы

а) При заземленной минусовой шине (рис. 9.9, а)

$$U_{\text{ВЫХ}2}^1 = U_{34} = E - I_{R_{K2}} R_{K2} - U_{634},$$

$$I_{R_{K2}} - I_{B4} = I_3 / (1 + \beta_4).$$

Ток эмиттера транзистора T_4 является суммой двух токов: тока нагрузки $nI_{\text{ВХН}}^1$ и тока через резистор R_{34} , т. е.

$$I_{34} = nI_{\text{ВХН}}^1 + I_{R_{34}} = nI_{\text{ВХН}}^1 + U_{\text{ВЫХ}2}^1 / R_4.$$

Тогда

$$U_{\text{ВЫХ}2}^1 = E - (nI_{\text{ВХН}}^1 + U_{\text{ВЫХ}2}^1 / R_4) R_{K2} / (\beta_4 + 1) - U_{634},$$

где $I_{\text{ВХН}}^1 = I_{R_{34}} / (1 + \beta_{1Н})$ — максимальный входной ток транзистора одной нагрузочной схемы; $I_{R_{34}} = (U_{\text{ВЫХ}2}^1 - U_{634}) / R_4$ — ток

через резистор R_3 нагрузочной схемы; $U_{бэи}$ — напряжение на эмиттерном переходе транзистора $T_{1н}$ нагрузочной схемы.

Таким образом,

$$U_{\text{вых}2}^1 = (E - U_{бэ4}) - \left[\frac{n(U_{\text{вых}2}^1 - U_{бэи})}{R_3(1 + \beta_{1н})} + \frac{U_{\text{вых}2}^1}{R_4} \right] \frac{R_{к2}}{\beta_4 + 1}.$$

После преобразований получим (полагая $\beta_4 = \beta_{1н} = \beta$)

$$U_{\text{вых}2}^1 = \left[(E - U_{бэ4}) + \frac{nU_{бэ4}R_{к2}}{R_3(1 + \beta)^2} \right] / \left[1 + \frac{nR_{к2}}{R_3(1 + \beta)^2} + \frac{R_{к2}}{R_4(\beta + 1)} \right]. \quad (9.44)$$

Высокий уровень напряжения на выходе 1 при закрытых входных транзисторах

$$U_{\text{вых}1}^1 = U_{э3} = E - I_{Rк}R_{к1} - U_{бэ3}, \\ I_{Rк1} = I_{б3} = I_{э3}/(1 + \beta_3).$$

Учитывая, что

$$I_{э3} = U_{\text{вых}1}^1/R_3 + nI_{\text{вхн}}^1$$

$$I_{\text{вхн}}^1 = I_{Rэи}/(1 + \beta_{1н}),$$

$$I_{Rэи} = (U_{\text{вых}1}^1 - U_{бэи})/R_3,$$

получим после преобразований (при $\beta_{1н} = \beta_3 = \beta$)

$$U_{\text{вых}1}^1 = \left[(E - U_{бэ3}) + \frac{nU_{бэи}R_{к1}}{R_3(1 + \beta)^2} \right] / \left[1 + \frac{nR_{к1}}{R_3(1 + \beta)^2} + \frac{R_{к1}}{R_3(\beta + 1)} \right]. \quad (9.45)$$

Формулы (9.44) и (9.45) позволяют оценить влияние нагрузочного тока на высокий уровень выходного напряжения ЭСЛ-схемы.

Так как на практике нагрузочная способность ЭСЛ-схемы ограничивается в первую очередь требуемым быстродействием, то число n не превышает 15. Поэтому, приняв $n \leq \beta$, $R_{к1}(R_{к2}) \ll R_3(\beta + 1)$, формулы (9.44) и (9.45) можно упростить: $U_{\text{вых}2}^1 \approx E - U_{бэ4}$, $U_{\text{вых}1}^1 \approx E - U_{бэ3}$.

б) При заземленной плюсовой шине (рис. 9.9, б) с учетом сделанных выше допущений

$$\bar{U}_{\text{вых}1}^1 \approx \bar{U}_{\text{вых}2}^1 = -E + U_{\text{вых}2}^1 \approx -E + U_{\text{вых}1}^1 \approx -U_{бэ}.$$

9.16. Определить условия, при которых в ЭСЛ-схеме (см. рис. 9.9, а) открытые транзисторы работают в активном режиме.

Эмиттерный повторитель на транзисторе T_4 находится в активном режиме, так как коллекторный переход транзистора T_4 смещен в обратном направлении (потенциал на базе ниже потенциала на коллекторе):

$$U_{64} = E - I_{R_{k2}} R_{k2}, \quad U_{к4} = E.$$

Аналогично, эмиттерный повторитель на транзисторе T_3 находится в активном режиме, так как

$$U_{63} = E - I_{R_{к1}} R_{к1}, \quad U_{к3} = E_{к}.$$

Определим условие, при котором транзистор T_1 находится в активном режиме. Тогда $U_{к1} > U_{61}$, запишем

$$U_{61} = U_{вх1}^1; \quad U_{к1} = E - I_{к1} R_{к1}; \\ I_{к1} \approx \alpha I_{31} = \alpha (U_{вх1}^1 - U_{631}) R_{к1} / R_3.$$

Тогда условие активного режима работы транзистора T_1 $U_{к1} > U_{61}$ будет иметь вид

$$E - \alpha \frac{U_{вх1}^1 - U_{631}}{R_3} R_{к1} \geq U_{вх1}^1.$$

Определим условие, при котором транзистор T_2 находится в активном режиме, когда $U_{к2} > U_{62}$; $U_{к2} = E_{к} - I_{R_{к2}} R_{к2}$; $U_{62} = E_0$.

Так как

$$I_{R_{к2}} = I_{к2} + I_{64} \approx I_{к2} = \alpha I_{32} \approx I_{32}, \\ I_3 = U_3 / R_3 = (E_0 - U_{632}) / R_2,$$

то условие активного режима транзистора T_2 :

$$U_{к2} = E_{к} - \frac{(E_0 - U_{632}) R_{к2}}{R_3} \geq E_0.$$

9.17. Определить высокий и низкий уровни напряжения на выходе 2 схемы на рис. 9.9, б ЭСЛ-типа, если потенциал коллектора транзистора T_2 относительно «земли» в закрытом состоянии составляет $-0,1$ В, в открытом состоянии $-0,8$ В. Падение напряжения на эмиттерном переходе открытого транзистора T_4 $U_{634} = 0,7$ В.

Ответ: $U_{вых2}^1 = -0,8$ В, $U_{вых2}^0 = -1,5$ В.

9.18. Определить высокий и низкий уровень напряжения на выходе 1 схемы на рис. 9.9, б, если при поступлении входного сигнала $U_{вх1}^1$ потенциал коллектора транзистора T_1 относительно-

но «земли» изменился от $-0,1$ до $-0,8$ В. Падение напряжения $U_{бэз} = 0,7$ В.

Ответ: $U_{вых1}^1 = -0,8$ В, $U_{вых1}^0 = -1,5$ В.

9.19. Изменится ли низкий уровень напряжения на выходе 1 схемы на рис. 9.9, б, если при действии на входе 1 сигнала $U_{вх1}^1$ поступил сигнал $U_{вх2}^1$ на вход 2?

Ответ: изменится, так как за счет тока транзистора T_2 падение напряжения на резисторе $R_{к1}$ увеличится по абсолютному значению.

9.20. Определить среднюю мощность потребления микросхемы ЭСЛ-логики (см. рис. 9.9, б), если $U_{вых1}^1 = -0,8$ В, $U_{вых1}^0 = -1,7$ В, $R_{к1} = R_{к2} = 0,3$ кОм, $R_3 = 1,2$ кОм, $E = -5$ В.

Ответ:

$$P_{\text{потр. ср}} = P_{\text{пт. ср}} + 2P_{\text{эп. ср}} = I_{R_3}E + 2EI_{к. ср} = \Delta U_{\text{лог}} E/R_{к1} + 2E_0 E/R_3 \approx 20 \text{ мВт},$$

где $P_{\text{пт. ср}}$ — средняя мощность, потребляемая переключателем тока; $P_{\text{эп. ср}}$ — средняя мощность, потребляемая эмиттерным повторителем.

9.21. Определить значения токов в схеме, приведенной на рис. 9.17, если на входе A действует напряжение логического нуля, а на входе B — напряжение логической единицы. В качестве источника сигнала и нагрузки используются одинаковые I^2L -элементы. Коэффициент передачи тока α транзистора T_0 принять равным 0,3, напряжение питания $E = 5$ В, сопротивление инжектора $R_{и} = 100$ кОм.

Решение

Определим входной ток первого логического элемента (транзистор T_1), воспользовавшись выражением (9.4а): $I_{вх1} = I_{вх}^0 = \alpha I_{и}/n_{и}$, где $n_{и} = 2$ — количество коллекторов p - n - p -транзистора;

$$I_{и} = \frac{E - U_{бэз}}{R_{и}} = \frac{E - 0,6 \text{ В}}{R_{и}}.$$

Подставляя в формулу для $I_{вх1}$ значения $E = 5$ В, $R_{и} = 100$ кОм, $\alpha = 0,3$, получаем $I_{вх1} = 5,4 \cdot 10^{-6}$ А.

Весь питающий ток I_1^* (рис. 9.17) ответвляется в цепь источника сигнала, и ток базы транзистора T_1 равен нулю. Транзистор T_1 закрыт, ток эмиттера $I_{э1}$ и токи коллекторов $I_{к11}$ и $I_{к12}$ равны нулю.

Входной ток второго элемента (транзистор T_2) $I_{вх2} = I_{вх}^1 \approx 0$. Ток базы транзистора T_2 определяется той частью тока инжектора $I_{и}$, которая ответвляется в базу T_2 :

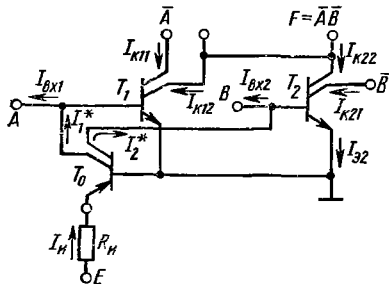


Рис. 9.17

$$I_{62} = \frac{\alpha I_{\text{н}}}{n_{\text{н}}} = \frac{0,3 \cdot 43 \cdot 10^{-6}}{2} = 5,4 \cdot 10^{-6} \text{ А.}$$

Токи коллекторов транзистора T_2 $I_{\text{к}21}$ и $I_{\text{к}22}$ определяются токами нагрузки — токами $I_{\text{вх}}^0$ элементов И²Л:

$$I_{\text{к}21} = I_{\text{к}22} = I_{\text{вх}}^0 = \frac{I_{\text{н}} \alpha}{2} = 5,4 \cdot 10^{-6} \text{ А.}$$

Ток эмиттера $I_{\text{э}2}$ равен сумме базового и коллекторных токов:

$$I_{\text{э}2} = I_{62} + I_{\text{к}21} + I_{\text{к}22} = 16,2 \cdot 10^{-6} \text{ А.}$$

9.22. Рассчитать уровни логического нуля, логической единицы и статическую помехоустойчивость элемента И²Л (транзисторы T_1 и T_0 на рис. 9.10) при $E = 3 \text{ В}$, $R_{\text{н}} = 10 \text{ кОм}$, $\alpha = 0,6$ для транзистора $p-n-p$, $\beta = 5$ для транзистора $n-p-n$. Считать, что к каждому выходу подключен один аналогичный нагрузочный элемент И²Л.

Решение

Уровень логического нуля можно рассчитать в соответствии с выражением (9.2а). Для определения степени насыщения S_1 транзистора T_1 необходимо рассчитать ток базы $I_{\text{б}1}$ и коллекторный ток насыщения $I_{\text{кн}1}$ транзистора T_1 . Имеем

$$I_{\text{б}1} = \frac{I_{\text{н}} \alpha}{n_{\text{н}}} = \frac{I_{\text{н}} \alpha}{3} = \frac{(E - U_{\text{бэ}}) \alpha}{3R_{\text{н}}} = \frac{(3 - 0,6) 0,6}{3 \cdot 10^4} = 4,8 \cdot 10^{-5} \text{ А.}$$

Так как каждый из двух выходов рассматриваемого логического элемента нагружен на аналогичную схему, то $I_{\text{кн}1} = 2I_{\text{н}}^0 = 2I_{\text{вх}}^0$, где $I_{\text{вх}}^0 = I_{\text{н}} \alpha / 3 = 4,8 \cdot 10^{-5} \text{ А}$, $I_{\text{кн}1} = 2I_{\text{вх}}^0 = 9,6 \cdot 10^{-5} \text{ А}$. Степень насыщения $S_1 = \beta I_{\text{б}1} / I_{\text{кн}1} = 2,5$. Подставив в формулу (9.2а) $S_1 = 2,5$, $\varphi_{\text{T}} = 26 \text{ мВ}$, получим $U^0 = 12 \text{ мВ}$.

Уровень логической единицы $U^1 = U^* = 0,6 \text{ В}$. Помехоустойчивость элемента определяется по формулам (9.3). Величина допустимой положительной помехи $U_{\text{пом.ст}}^0 = U^* - U^0 \approx 0,6 \text{ В}$. Величина отрицательной допустимой помехи $U_{\text{пом.ст}}^1 = \varphi_{\text{T}} \ln S_1 = 24 \text{ мВ}$.

9.23. Определить величину сопротивления $R_{\text{н}}$ элемента И²Л (транзисторы T_1 и T_0 на рис. 9.10) при условии $t_{\text{зд.р}}^{0,1} \leq 10 \text{ нс}$.

Величина паразитной емкости $C_{\text{п}}$ составляет 10 пФ, коэффициент передачи тока p - n - p -транзистора $\alpha = 0,3$, напряжение питания $E = 5$ В.

Ответ: 0,4 кОм.

9.24. Изобразить принципиальную схему на элементах И²Л, выполняющую логическую функцию $F = (A + B)(C + D)$. Определить для этой схемы величины сопротивления в цепи инжектора $R_{\text{и}}$ и время задержки $t_{\text{зд.р.ср}}$, если заданы следующие параметры: потребляемая мощность $P = 1$ мВт, напряжение питания $E = 3$ В, паразитная емкость $C_{\text{п}} = 1$ пФ, коэффициент передачи тока p - n - p -транзистора $\alpha = 0,8$, постоянная времени $\tau_{\text{р}} = 10$ нс.

Решение

Используя теорему де Моргана, преобразуем функцию в форму, удобную для реализации в базисе И²Л:

$$F = (A + B)(C + D) = \overline{\overline{A}\overline{B}} \cdot \overline{\overline{C}\overline{D}}.$$

Принципиальная схема, с помощью которой реализуется функция F , представлена на рис. 9.18. Найдем величину сопротивления в цепи инжектора как отношение падения напряжения на сопротивлении $R_{\text{и}}$ к значению тока инжектора: $R_{\text{и}} = (E - U_{\text{бэ}})/I_{\text{и}}$. Ток инжектора определим, воспользовавшись равенством (9.6): $I_{\text{и}} = P/E$. При $E = 3$ В, $P = 1$ мВт, $U_{\text{бэ}} = U^* = 0,6$ В получаем $R_{\text{и}} = 8$ кОм.

Время задержки $t_{\text{зд.р}}$ определим по формулам (9.7):

$$t_{\text{зд.р}}^{0,1} \approx \frac{C_{\text{п}} U^* n_{\text{и}}}{\alpha I_{\text{и}}}.$$

При $C_{\text{п}} = 1$ пФ, $U^* = 0,6$ В, $\alpha = 0,8$, $I_{\text{и}} = P/E = 0,3$ мА, $n_{\text{и}} = 6$

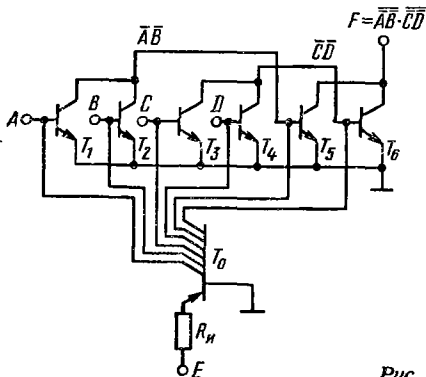


Рис. 9.18

получаем $t_{зд.р}^{0,1} = 15$ нс, $t_{зд.р}^{1,0} = \tau_{\beta} = 10$ нс, $t_{зд.р.ср} = 0,5(t_{зд.р}^{0,1} + t_{зд.р}^{1,0}) = 12,5$ нс.

9.25. Изобразить принципиальную схему в базисе И²Л, выполняющую логическую функцию $F = A + B + C$. Схема нагружена на четыре элемента И²Л, каждый из которых имеет входную емкость $C_{вх} = 2$ пФ. Определить величину сопротивления в цепи инжектора $R_{и}$ и мощность P , потребляемую при условии, что $t_{зд.р}^{0,1} = 20$ нс, $E = 5$ В, коэффициент передачи тока p - n - p -транзистора $\alpha = 0,5$.

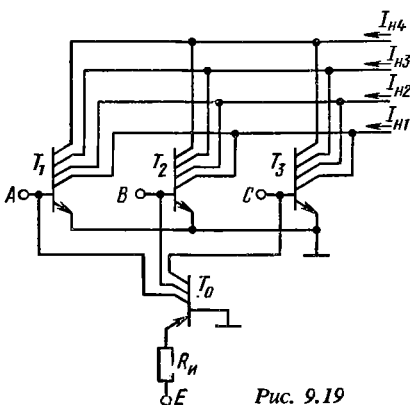


Рис. 9.19

Ответ: $R_{и} = 3$ кОм, $P = 7$ мВт; принципиальная схема приведена на рис. 9.19.

9.26. Сформулировать требования к коэффициенту передачи по току β транзистора n - p - n и сопротивлению в цепи инжектора $R_{и}$ в схеме ИЛЭ на рис. 9.10 при следующих параметрах схемы: $U^0 \leq 15$ мВ, $I_{вх}^0 = 10$ мкА, $E = 5$ В, коэффициент передачи тока транзистора

p - n - p $\alpha = 0,6$. Каждый из выходов схемы нагружен на аналогичный ИЛЭ.

Ответ: $\beta \geq 4,4$, $R_{и} = 88$ кОм.

9.27. Определить, как изменится значение работы переключения $A_{пер}$ схемы, приведенной на рис. 9.10, если напряжение питания E изменится с 5 до 1,5 В. Основные параметры схемы таковы: $\tau_{\beta} = 20$ нс, $C_{п} = 1$ пФ, коэффициент передачи тока транзистора p - n - p $\alpha = 0,5$, $R_{и} = 51$ кОм.

Ответ: уменьшится с $7,5 \cdot 10^{-12}$ до $1,2 \cdot 10^{-12}$ Дж.

9.28. Определить коэффициент разветвления $K_{раз}^0$ элемента И²Л, приведенного на рис. 9.10, если минимальный коэффициент усиления по току транзистора n - p - n $\beta_{min} = 5$.

Решение

Коэффициент разветвления при логическом нуле на выходе определяется из условия нахождения транзистора T_1 в режиме насыщения. Полагая степень насыщения $S_{min} = 1,5$, находим, согласно (9.5а), $K_{раз}^0 = \beta_{min} / S_{min} = 3$.

9.29. Определите аналитическое выражение для расчета напряжения логического нуля элементов ИЛИ – НЕ и И – НЕ на однотипных МДП-транзисторах. Потенциал логической единицы принять равным $E - U_0$.

Решение

а) Схема ИЛИ – НЕ изображена на рис. 9.11, а. Потенциал логического нуля $U_{\text{ВЫХ}}^0$ устанавливается на выходе схемы при $U_{\text{ВХ}} = U_{\text{ВЫХ}}^1 = E - U_0$. Подставим в формулу (9.11) для тока стока транзистора T_a значение $U_{\text{ЗНА}} = U^1 = E - U_0$, а в формулу (9.12) для тока стока транзистора T_n значение $U_{\text{ЗИН}} = E - U_{\text{СИА}}$ и решим совместно оба уравнения с учетом равенства $MI_{\text{СА}} = I_{\text{СН}}$, где M – число входов (активных транзисторов), на которые подано напряжение логической единицы.

В результате получим

$$Mb_a \left[(E - 2U_0) U_{\text{СИА}} - \frac{1}{2} U_{\text{СИА}}^2 \right] = \frac{b_n}{2} (E - U_{\text{СИА}} - U_0)^2.$$

Считая $U_{\text{СИА}} = U_{\text{ВЫХ}}^0$ малой величиной по сравнению с U_0 и E и пренебрегая членами 2-го порядка малости $U_{\text{СИА}}^2$, получим

$$U_{\text{ВЫХ ИЛИ}}^0 \simeq \frac{b_n (E - U_0)^2}{2Mb_a (E - 2U_0)}.$$

б) Для схемы И – НЕ, приведенной на рис. 9.11, б, величина $U_{\text{ВЫХ}}^0$ равна сумме напряжений между стоком и истоком каждого из управляющих транзисторов. Считая M управляющих транзисторов одинаковыми, получим

$$U_{\text{ВЫХ И}}^0 \simeq M \frac{b_n}{2b_a} \frac{(E - U_0)^2}{E - 2U_0}.$$

9.30. Вывести аналитическое выражение для расчета мощности $P_{\text{ПОТ}}$, потребляемой от источника питания инвертором на однотипных МДП-транзисторах [проверить правильность формулы (9.19)].

Решение

Определим ток, потребляемый от источника питания при низком потенциале на выходе ($U_{\text{ВЫХ}} = U_{\text{ВЫХ}}^0 \simeq 0$).

Подставив в (9.12) $U_{\text{ЗИН}} = E - U_{\text{ВЫХ}}^0 \simeq E$, получим

$$I_c = \frac{b_n}{2} (E - U_0)^2.$$

Мощность, потребляемая от источника питания при $U_{\text{ВЫХ}} = U_{\text{ВЫХ}}^0$, равна

$$P_{\text{ПОТ}}^0 = EI_c = \frac{b_n}{2} E (E - U_0)^2.$$

При $U_{\text{ВЫХ}} = U_{\text{ВЫХ}}^1$ ток через транзистор близок к нулю и $P_{\text{ПОТ}} \approx 0$.

Считая состояния логического нуля и логической единицы равновероятными, получим

$$P_{\text{ПОТ}} = \frac{1}{2}(P_{\text{ПОТ}}^0 + P_{\text{ПОТ}}^1) = 0,25b_n E(E - U_0)^2.$$

9.31. Найти соотношение между временем включения и временем выключения логической схемы на одноступенчатых МДП-транзисторах. Пояснить, почему время включения меньше времени выключения.

Решение

После подачи отпирающего сигнала на затвор активного транзистора T_a (см. рис. 9.11) $U_{\text{ВХ}} = E - U_0$ ток стока практически мгновенно достигает значения $I_{\text{СА}}(0) = \frac{b_a}{2} [(E - U_0) - U_0]^2$. Емкость $C_{\text{ВЫХ}}$ начинает разряжаться током $I_{\text{СА}}(0)$. Напряжение $U_{\text{ВЫХ}}$ уменьшается, а после перехода активного транзистора T_a из пологой области в крутую начинает уменьшаться и ток стока. Упростим задачу и пренебрежем уменьшением тока стока при переходе T_a в крутую область. Будем считать, что на всем протяжении переходного процесса емкость $C_{\text{ВЫХ}}$ разряжается постоянным током $I_{\text{СА}}(0)$. Разделив начальный заряд $Q(0) = EC_{\text{ВЫХ}}$ на ток разряда $I_{\text{СА}}(0)$, получаем

$$t_{\text{З. ВКЛ}} = \frac{2EC_{\text{ВЫХ}}}{b_a(E - 2U_0)^2}.$$

При поступлении запирающего сигнала ток $I_{\text{СА}}$ практически мгновенно уменьшается до нуля. После запираания транзистора T_a емкость $C_{\text{ВЫХ}}$ заряжается от источника питания E через открытый транзистор T_n . Сопротивление канала транзистора T_n меняется по мере заряда емкости $C_{\text{ВЫХ}}$, однако для упрощения расчетов примем его постоянным и равным $r_{\text{КН}}(0) = \frac{1}{S}$, где $S = b_n(U_{\text{ЗИН}} - U_0) \simeq b_n(E - U_0)$.

Время выключения определим как время изменения выходного напряжения между уровнями от $0,1U_{\text{ВЫХ}}^1$ и $0,9U_{\text{ВЫХ}}^1$:

$$t_{\text{З. ВЫКЛ}} = 2,2\tau_{\text{ВЫКЛ}},$$

где $\tau_{\text{ВЫКЛ}} = r_{\text{КН}}(0)C_{\text{ВЫХ}} = \frac{C_{\text{ВЫХ}}}{b_n(E - U_0)}$.

Таким образом, соотношение между $t_{\text{З. ВКЛ}}$ и $t_{\text{З. ВЫКЛ}}$ приближенно

ТАКОВО:

$$\frac{t_{3. \text{ВКЛ}}}{t_{3. \text{ВЫКЛ}}} \approx \frac{\frac{2EC_{\text{ВЫХ}}}{b_a(E - 2U_0)^2}}{\frac{2,2C_{\text{ВЫХ}}}{b_n(E - U_0)}} = \frac{2b_n}{2,2b_a} \frac{E(E - U_0)}{(E - 2U_0)^2} \approx \frac{b_n}{b_a}.$$

Так как $b_n \ll b_a$ для получения малой величины $U_{\text{ВЫХ}}^0$, то время включения оказывается гораздо меньше времени выключения.

9.32. Определить работу переключения $A_{\text{пер}} = P_{\text{пот}} t_{3. \text{ср}}$ двухвходовой логической схемы ИЛИ – НЕ на однотипных МДП-транзисторах, если заданы следующие параметры: $U_0 = 3 \text{ В}$, $E = 15 \text{ В}$, $C_{\text{ВЫХ}} = 10 \text{ пФ}$, $b_a = 0,3 \text{ мА/В}^2$, $U_{\text{ВЫХ}}^0 = 0,8 \text{ В}$.

Решение

Определим величину b_n с помощью формулы (9.14а):

$$b_n = \frac{U_{\text{ВЫХ}}^0 \cdot 2Mb_a(E - 2U_0)}{(E - U_0)^2}.$$

Подставляя в выражение для b_n величины $M = 2$, $U_{\text{ВЫХ}}^0 = 0,8 \text{ В}$, $b_a = 0,3 \text{ мА/В}^2$, $E = 15 \text{ В}$, $U_0 = 3 \text{ В}$, получаем $b_n = 0,04 \text{ мА/В}^2$. Используя полученное значение b_n и другие исходные данные, на основании формул (9.19), (9.20)–(9.22) получаем $A_{\text{пер}} = P_{\text{пот}} t_{3. \text{ср}} = 1,1 \cdot 10^{-9} \text{ Дж}$.

9.33. Как изменятся логические уровни ИМС на однотипных МДП-транзисторах, если нагрузочный транзистор T_n заменить резистором R ?

Ответ: $U_{\text{ВЫХ}}^1 = E$,

$$U_{\text{ВЫХ}}^0 = \frac{E}{1 + R M b_a (E - U_0)}.$$

9.34. В схеме со сложным инвертором, представленной на рис. 9.20, геометрические размеры каналов транзисторов T_1 и T_2 выбираются одинаковыми. Сравнить данную схему с простыми схемами, приведенными на рис. 9.11, по значению напряжения $U_{\text{ВЫХ}}^0$ и быстродействию.

Решение

Для данной схемы характерна поочередная работа транзисторов T_3 и T_4 ; если T_3 открыт, то T_4 закрыт, и наоборот. Это обстоятельство позволяет получить

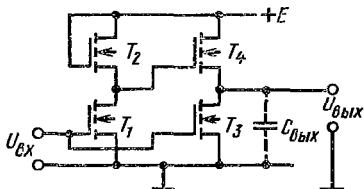


Рис. 9.20

значение $U_{\text{вых}}^0 \approx 0$ при высокой крутизне (малом сопротивлении канала) как у транзистора T_3 , так и у транзистора T_4 . Выходная емкость $C_{\text{вых}}$ всегда перезаряжается через малое сопротивление канала либо T_3 , либо T_4 . Время переключения здесь примерно равно времени включения, т. е. быстродействие данной схемы гораздо выше быстродействия простых схем, приведенных на рис. 9.11 (примерно в b_a/b_n раз, где b_a и b_n — удельные крутизны МДП-транзисторов в схеме на рис. 9.11).

9.35. Инвертор состоит из двух p -канальных МДП-транзисторов (T_a и T_n на рис. 9.11, а) со следующими параметрами: $U_0 = 2$ В, $b_a = 100$ мкА/В², $b_n = 1$ мкА/В², $C_n = 5$ пФ. Определить величины $U_{\text{вых}}^1$, $U_{\text{вых}}^0$, $U_{\text{пом}}^1$, $U_{\text{пом}}^0$, $P_{\text{пот}}$, $t_{3, \text{вкл}}$, $t_{3, \text{выкл}}$ при $E = 9$ В.

Ответ: $U_{\text{вых}}^1 = 7$ В, $U_{\text{вых}}^0 = 50$ мВ, $U_{\text{пом}}^0 = 2$ В, $U_{\text{пом}}^1 = 4,7$ В, $P_{\text{пот}} = 0,11$ мВт, $t_{3, \text{вкл}} = 18$ нс, $t_{3, \text{выкл}} = 1,5$ мкс.

9.36. Определить, как изменится потребляемая мощность и помехоустойчивость инвертора на p -канальных МДП-транзисторах при увеличении температуры от 25 до 85 °С. Величины $\partial U_0/\partial T$ и $\partial b/(\partial T b)$ принять равными соответственно $-3 \cdot 10^{-3}$ В/°С и $-1,5/T$, где T — температура, К. При $T = 25$ °С значение порогового напряжения составляет 2 В, удельные крутизны транзисторов $b_a = 100$ мкА/В², $b_n = 1$ мкА/В². Напряжение питания $E = 9$ В.

Ответ: потребляемая мощность $P_{\text{пот}}$ уменьшится со 110 до 82 мкВт, $U_{\text{пом}}^0$ уменьшится на 180 мВ, $U_{\text{пом}}^1$ увеличится на 360 мВ.

9.37. Определить, каково значение коэффициента разветвления по выходу интегральной логической схемы на однотипных транзисторах, если время переключения схемы не должно превышать 2 мкс. Входную емкость $C_{\text{вх}}$ интегральной схемы принять равной 2 пФ, остальные исходные данные соответствуют задаче 9.35.

Решение

Максимальное время переключения определяется временем задержки выключения $t_{3, \text{выкл}}$. В данном примере

$$t_{3, \text{выкл}} = \frac{2,2C_{\text{вых}}}{b_n(E - U_0)} = \frac{2,2nC_{\text{вх}}}{b_n(E - U_0)},$$

где n — количество таких же логических элементов с входной емкостью $C_{\text{вх}}$, подключаемых к выходу данного элемента.

Следовательно,

$$K_{\text{разв}} = n = \frac{t_{3, \text{вкл}} b_n (E - U_0)}{2,2C_{\text{вх}}}.$$

Подставляя в последние выражения исходные данные, получим $K_{разв} = 3$.

9.38. Изобразить принципиальную схему логического элемента 3И – НЕ. Определить, как изменятся логические уровни этого элемента при увеличении температуры с 25 до 85 °С и уменьшении напряжения питания на 10%. Другие исходные данные те же, что и в задаче 9.35.

Ответ: $U_{ВЫХ}^1$ уменьшится с 7 до 5,92 В, $U_{ВЫХ}^0$ уменьшится со 147 до 140 мВ.

9.39. Изобразить принципиальную схему логического элемента 3ИЛИ – 2И – НЕ и определить логические уровни, если параметры МДП-транзисторов и напряжение E соответствуют исходным данным задачи 9.35.

Ответ: $U_{ВЫХ}^1 = 7$ В, $U_{ВЫХ}^0 = 50$ мВ.

9.40. Сравнить величины $U_{ВЫХ}^0$ и $t_{з, выкл}$ инвертора на p -канальных МДП-транзисторах и инвертора на n -канальных МДП-транзисторах, если геометрические размеры каналов нагрузочных транзисторов обоих инверторов одинаковы.

Решение

Величина $t_{з, выкл}$ инвертора на n -канальных МДП-транзисторах в 1,5–2 раза меньше, чем у инвертора на p -канальных МДП-транзисторах, так как удельная крутизна у n -канальных транзисторов в 1,5–2 раза больше, чем у p -канальных.

Величины $U_{ВЫХ}^0$ для обеих схем одинаковые, если одинаковы отношения удельных крутизн активного и нагрузочного транзисторов.

9.41. Сравнить быстродействие инвертора на однотипных МДП-транзисторах и инвертора на КМДП-транзисторах.

Решение

В инверторе на однотипных МДП-транзисторах соотношение времен выключения и включения определяется главным образом отношением удельных крутизн активного и нагрузочного транзисторов, которое принципиально должно быть большим для получения малого значения напряжения логического нуля (см. задачу 9.31): $t_{з, выкл} / t_{з, вкл} = b_a / b_n$.

В инверторе на комплементарных транзисторах такого ограничения на соотношение удельных крутизн активного и нагрузочного транзисторов нет, так как напряжение $U_{ВЫХ}^0$ не зависит от этого соотношения. Поэтому крутизны активного и нагрузочного транзисторов в схемах на комплементарных транзисторах выбирают примерно одинаковыми и время выключения оказывается примерно равным времени включения. Таким образом, быстродействие инвертора на комплементарных тран-

зисторах оказывается приблизительно в b_a/b_n раз выше быстрогодействия инвертора на однотипных МДП-транзисторах.

9.42. Определить, при каких частотах переключения мощность, потребляемая инвертором на КМДП-транзисторах, будет равна мощности, потребляемой элементом ТТЛ. Принять напряжение питания $E = 9$ В, выходную емкость $C_{\text{вых}} = 10$ пФ, длительность фронта переключающих импульсов $t_{\phi} = 10$ нс, удельные крутизны n -канального и p -канального транзисторов $b_n = b_p = 300$ мкА/В², пороговые напряжения $U_{0n} = U_{0p} = 3$ В. Мощность, потребляемую элементом ТТЛ, принять равной 1 мВт.

Решение

Мощность, потребляемая инвертором на КМДП-транзисторах, определяется согласно формуле (9.29). При высоких частотах переключения слагаемым $I_{\text{ут}}E$ можно пренебречь. Определим из (9.29) величину

$$f_{\Pi} = \frac{P_{\text{пот}}}{C_{\text{вых}} E^2 + I_{\text{скв}} E t_{\phi}}$$

Величина $I_{\text{скв}}$ изменяется по мере отпирания одного и запираания другого транзистора. Приблизительно оценим ток $I_{\text{скв}}$ как ток стока, протекающий через открытые транзисторы при $U_{\text{зип}} = U_{\text{зир}} = E/2$. Поскольку также выполняется условие $b_p = b_n$, оба транзистора работают в пологой области ВАХ:

$$I_{\text{скв}} = \frac{b_p}{2} \left(\frac{E}{2} - U_0 \right)^2 = \frac{b_n}{2} \left(\frac{E}{2} - U_0 \right)^2.$$

Подставляя в полученные формулы исходные данные, найдем, что $f_{\Pi} \approx 1$ МГц.

9.43. Определить логические уровни, помехоустойчивость, потребляемую мощность и среднюю задержку переключения инвертора на КМДП-транзисторах при следующих параметрах схемы: $E = 9$ В, $U_{0n} = U_{0p} = 3$ В, $b_n = 2b_p = 300$ мкА/В², $C_{\text{вых}} = 10$ пФ, частота переключений $f_{\Pi} = 100$ кГц, ток утечки между стоком и истоком закрытых МДП-транзисторов $I_{\text{ут}} = 1$ нА.

Ответ: $U_{\text{вых}}^0 \approx 0$, $U_{\text{вых}}^1 \approx 9$ В, $P_{\text{пот}} = 100$ мкВт, $t_{\text{з.ср}} = 17$ нс.

9.44. Составить принципиальную схему интегрального логического элемента на КМДП-транзисторах, реализующего логическую функцию $y = x_1 x_2 + x_3 x_4$.

Ответ: см. рис. 9.21.

9.45. Определить, как изменятся величины $P_{\text{пот}}$, $U_{\text{вых}}^1$, $U_{\text{вых}}^0$, $U_{\text{пом}}^0$, $U_{\text{пом}}^1$ в схеме инвертора на КМДП-транзисторах с параметрами, указанными в условии задачи 9.43, если: а) темпера-

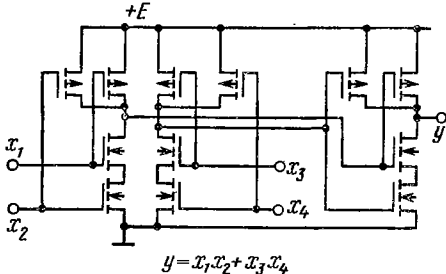


Рис. 9.21

тура увеличится с 25 до 85°C, б) частота переключений $f_{п}$ увеличится со 100 кГц до 2 МГц, в) напряжение питания уменьшится на 10%.

Ответ: а) практически не изменятся, б) $P_{пот}$ увеличится со 100 мкВт до 2 мВт, в) $U_{вых}^1$ уменьшится с 9 до 8,1 В, $U_{пом}^0$ уменьшится с 4,2 до 3,9 В, $U_{пом}^1$ уменьшится с 4,8 до 4,2 В, $P_{пот}$ уменьшится со 100 до 80 мкВт.

9.46. Определить нагрузочную способность инвертора на КМДП-транзисторах при условии, что время переключения не должно превышать 0,1 мкс. Входную емкость инвертора принять равной 5 пФ. Остальные параметры: $E = 9$ В; $U_{он} = U_{ор} = 3$ В, $b_n = b_p = 200$ мкА/В².

Ответ: $n = 15$.

ГЛАВА 10 ТРИГГЕРНЫЕ УСТРОЙСТВА

§ 10.1. АСИНХРОННЫЕ И СИНХРОННЫЕ ТРИГГЕРЫ

Триггером называют импульсную схему, имеющую два устойчивых состояния. В каждом из этих состояний триггер может находиться до тех пор, пока на его вход не будет подано управляющее напряжение. При этом триггер скачком переходит из одного состояния в другое. Соответственно изменяются уровни выходных напряжений триггера. Один из уровней выходного напряжения триггера принимают за логическую единицу, а другой — за логический нуль. Подавая определенную комбинацию электрических сигналов на входы триггера, триггер можно использовать для хранения и обработки двоичной информации, для деления и счета числа импульсов и т. д.